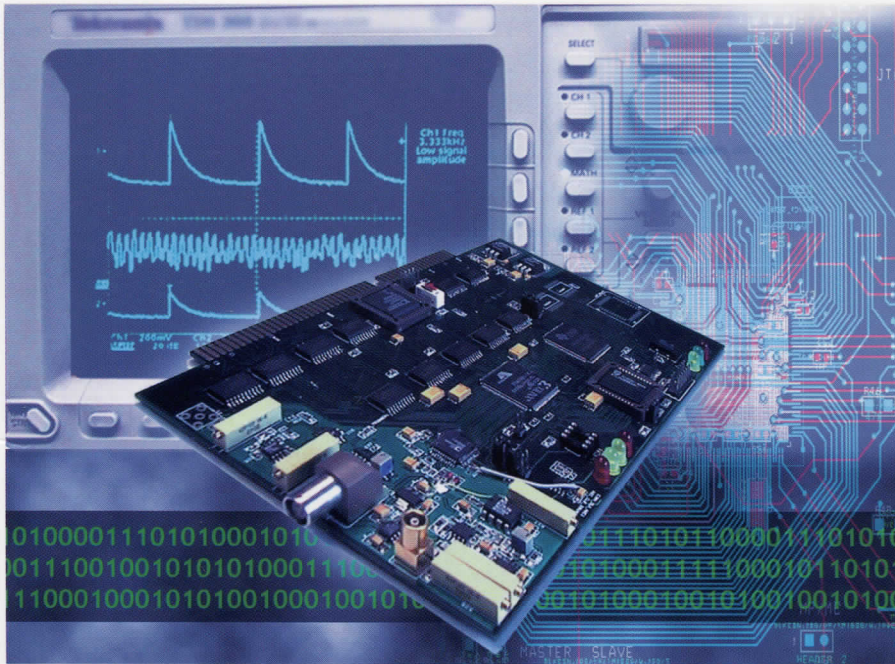


Angelo Geraci



# Principi di elettronica dei sistemi digitali

McGraw-Hill

**collana di istruzione scientifica**  
serie di elettronica



Angelo Geraci

# **Principi di elettronica dei sistemi digitali**

**McGraw-Hill**

---

**Milano** • New York • San Francisco • Washington D.C. • Auckland  
Bogotá • Lisboa • London • Madrid • Mexico City • Montreal  
New Delhi • San Juan • Singapore • Sydney • Tokyo • Toronto

Copyright © 2003 The McGraw-Hill Companies, S.r.l.  
Publishing Group Italia  
Via Ripamonti, 89 – 20139 Milano

**McGraw-Hill**



*A Division of the McGraw-Hill Companies*

I diritti di traduzione, di riproduzione, di memorizzazione elettronica e di adattamento totale e parziale con qualsiasi mezzo (compresi i microfilm e le copie fotostatiche) sono riservati per tutti i Paesi.

Nomi e marchi citati nel testo sono generalmente depositati o registrati dalle rispettive case produttrici.

Editor: Paolo Roncoroni  
Impaginazione: BaMa, Trezzo s/Adda (MI)  
Grafica di copertina: 46xy Studio, Milano  
Realizzazione *print on demand*: Ilovebooks, Fara Gera d'Adda (BG)  
Stampa: Prontostampa, Fara Gera d'Adda (BG)

ISBN 978-88-386-7288-0  
Printed in Italy

*Al professor Eugenio Stocchi*



# Indice

---

<b>Prefazione</b>	<b>XI</b>
<b>Parte prima - I circuiti logici</b>	<b>1</b>
<b>Capitolo 1 Porte logiche</b>	<b>3</b>
1.1 Livelli architetturali	3
1.2 Circuiti digitali	4
1.2.1 Caratterizzazione	4
1.2.2 Il transistor MOS	7
1.3 Caratteristiche statiche delle porte logiche	17
1.3.1 Invertitore con carico resistivo	19
1.3.2 Invertitore con carico attivo MOS	26
1.3.3 Invertitore CMOS	28
1.4 Caratteristiche dinamiche delle porte logiche	35
1.4.1 Ritardi di propagazione	35
1.4.2 Energia e potenza dissipata	42
1.5 Famiglie logiche	47
<b>Capitolo 2 Blocchi logici combinatori</b>	<b>51</b>
2.1 Introduzione	51
2.2 Logica CMOS	52
2.2.1 Transmission gate	54
2.2.2 Principi di sintesi	58
2.2.3 Ritardi di propagazione	61
2.2.4 Blocchi a elevato fan-in e buffering	65
2.2.5 Potenza dinamica e switching activity	69
<b>Capitolo 3 Blocchi logici sequenziali</b>	<b>71</b>
3.1 Circuiti statici	71
3.1.1 Flip flop	72
3.2 Circuiti dinamici	79



3.3	Circuiti rigenerativi	80
3.3.1	Trigger di Schmitt	80
3.3.2	Monostabile	82
3.3.3	Astabile	83
	Riferimenti bibliografici	87
<b>Parte seconda - Dispositivi logici programmabili</b>		<b>89</b>
<b>Capitolo 4</b>	<b>Perché impiegare i dispositivi logici programmabili</b>	<b>91</b>
<b>Capitolo 5</b>	<b>Cosa sono i dispositivi logici programmabili</b>	<b>97</b>
5.1	Tassonomia	97
5.2	PLA e GAL	97
5.3	CPLD	103
5.4	FPGA	106
5.4.1	Introduzione	106
5.4.2	Blocchi logici configurabili (CLB)	111
5.4.3	Risorse di interconnessione	113
5.4.4	Blocchi configurabili di I/O	115
5.4.5	Programmazione	117
<b>Capitolo 6</b>	<b>Come si usano i dispositivi logici programmabili</b>	<b>119</b>
6.1	Design flow	119
6.1.1	Design entry	119
6.1.2	Simulazione funzionale	121
6.1.3	Sintesi	121
6.1.4	Simulazione di timing	122
6.1.5	Downloading	122
6.2	Principi di design	123
6.2.1	Configurable computing	123
6.2.2	Metodologie di design	130
	Riferimenti bibliografici	134
<b>Parte terza - Memorie</b>		<b>135</b>
<b>Capitolo 7</b>	<b>Tassonomia</b>	<b>137</b>
<b>Capitolo 8</b>	<b>Architettura</b>	<b>141</b>
<b>Capitolo 9</b>	<b>Memorie Statiche ad Accesso Casuale (SRAM)</b>	<b>145</b>
9.1	Procedura di lettura	146
9.2	Procedura di scrittura	149
<b>Capitolo 10</b>	<b>Memorie Dinamiche ad Accesso Casuale (DRAM)</b>	<b>153</b>

<b>Capitolo 11 Circuiti ancillari</b>	<b>159</b>
11.1 Decoder	159
11.2 Sense amplifier	161
<b>Capitolo 12 Affidabilità e resa</b>	<b>165</b>
12.1 Ridondanza	165
<b>Capitolo 13 Memorie a sola lettura (ROM)</b>	<b>169</b>
13.1 Circuiti ROM	169
13.2 Memorie ROM programmabili	171
Riferimenti bibliografici	175
<b>Parte quarta - Interconnessioni</b>	<b>177</b>
<b>Capitolo 14 Generalità</b>	<b>179</b>
<b>Capitolo 15 Linee di trasmissione</b>	<b>181</b>
15.1 Modellizzazione	181
15.2 Analisi	186
15.3 Effetto pelle	193
15.4 Terminazioni	195
<b>Capitolo 16 Distribuzione dell'alimentazione</b>	<b>199</b>
16.1 Livelli di distribuzione	200
16.1.1 Livello di scheda madre	201
16.1.2 Livello di scheda locale	201
16.1.3 Livello di componente	204
16.2 Condensatori di decoupling	205
16.3 Ground bounce	208
<b>Capitolo 17 Distribuzione del clock</b>	<b>211</b>
17.1 Timing di sistema	211
17.2 Regole di distribuzione	216
<b>Capitolo 18 Distribuzione del segnale</b>	<b>221</b>
18.1 Cross-talk	221
18.1.1 Cross-talk forward	222
18.1.2 Cross-talk backward	225
18.1.3 Strategie di contenimento	226
18.2 Interfacciamento	227
Riferimenti bibliografici	231
<b>Indice analitico</b>	<b>233</b>